

(19)

JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **62054987 A**

(43) Date of publication of application: **10.03.87**

(51) Int. Cl

H01S 3/18

(21) Application number: **60193737**

(22) Date of filing: **04.09.85**

(71) Applicant: **HITACHI LTD**

(72) Inventor: **NAKATSUKA SHINICHI
ONO YUICHI
KAJIMURA TAKASHI**

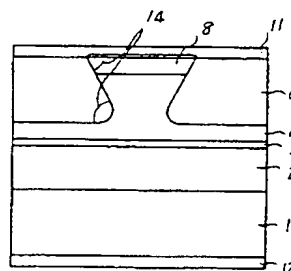
(54) **SEMICONDUCTOR LASER**

(57) Abstract:

PURPOSE: To prevent a crystal defect from occurring or the lifetime of a semiconductor laser from decreasing by etching a P-type clad layer by an insulator mask such as SiO_2 or Si_3N_4 formed in a stripe on the layer out of stripe, and conducting burying with GaAs.

CONSTITUTION: After an N-type $\text{Ga}_{0.55}\text{Al}_{0.45}\text{As}$ clad layer 2, an undoped $\text{Ga}_{0.86}\text{Al}_{0.14}\text{As}$ active layer 3, a P-type $\text{Ga}_{0.55}\text{Al}_{0.45}\text{As}$ clad layer 4, a P-type GaAs cap layer 8 are sequentially crystalline-grown on an N-type GaAs substrate 1, an SiO_2 mask 13 is formed, and the stripe exterior is etched with an etchant of phosphoric acid series except the P-type clad layer $0.1@0.3\mu\text{m}$. The thus formed structure is again buried with N-type GaAs film 9 by an MOCVD method. When the azimuth of the stripe is (110) direction, a grown from the ridge side occurs, and sharp projections are generated at both sides of the stripe. Thus, the angle 14 to the surface of the substrate of the ridge side is reduced to 100° or less by setting the azimuth of the stripe to (110) or by a dry etching method. Thus, it can prevent a crystal defect from guiding to the light emitting region.

COPYRIGHT: (C)1987,JPO&Japio



B1

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭62-54987

⑤ Int. Cl.⁴

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)3月10日

H 01 S 3/18

7377-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 半導体レーザ装置

⑮ 特 願 昭60-193737

⑯ 出 願 昭60(1985)9月4日

⑰ 発 明 者 中 塚 慎 一 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑱ 発 明 者 小 野 佑 一 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑲ 発 明 者 梶 村 俊 国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉑ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

発明の名称 半導体レーザ装置

特許請求の範囲

1. 少なくとも第一の半導体層と、該第一の半導体層をはさむように設けた、該半導体層より広い禁制帯幅で導電型の互いに異なる第二、及び第三の半導体層を有し、第三の半導体層のストライプ状の部分を除いて第三の半導体層を、活性層で発生した光がしみだすに十分な深さまで光吸収のある第四の半導体層により置きかえた半導体レーザ構造を、該第三の半導体層を第三の半導体層の上にストライプ状に設けたSiO₂又はSi₃N₄などの絶縁物マスクを用いてエッチングし、絶縁物の上には結晶成長せず、ストライプ外部にのみ結晶成長が行われるMOCVD法により第四の半導体を形成する事を特徴とする半導体レーザにおいて、絶縁物マスクにより保護され、エッチングされずに残るリッジ状の部分の斜辺が基板表面に対し、100度以下の角度を有することを特徴とする半導体レーザ装置。

発明の詳細な説明

本発明は、横モード安定な発振を行うことのできる半導体レーザの製造方法に係り、特に半導体レーザの発光領域以外でのもれ電流が少なく、且つ発光領域内に結晶欠陥が導入されにくくすることにより信頼性も向上した半導体レーザの製造方法に関する。

〔発明の背景〕

従来の自己整合構造半導体レーザは、J. J. Coleman等の文献に示された、以下のような構造である。すなわち、第2図に示すようにn型GaAs基板1上にn-(GaAl)Asクラッド層2、アンドープ(GaAl)As活性層3、p-(GaAl)Asクラッド層4、n-GaAs光吸収層5を形成し、光吸収層の一部をエッチングによりストライプ状に取り除きp-(GaAl)As6で埋込んだ後、電極形成の為にp-GaAs層7を結晶成長したもので(コールマン他、アプライド・フィジックス・レター第37巻 第262頁 1980年(J. J. Coleman et al., Appl.

Phys. Lett. Vol 37(8), p. 262, 1980) 参照)、光吸収層により電流狭帯と導波路の形成を同時に行つたものであるが、この構造をMOCVDやMBEなどの熱非平衡状態での結晶成長を用いて形成する場合、段差上への結晶成長に伴う結晶欠陥や、二回成長の成長界面が電気的、光学的に活性な領域に有るため素子の信頼性を低下させていた。

〔発明の目的〕

本発明は、従来構造の自己整合型半導体レーザにおいて問題であつた、段差のある基板上への結晶成長に伴う結晶欠陥と、二回成長の成長界面の欠陥による素子寿命の低下を防止する半導体レーザの作製方法を提供することにある。

〔発明の概要〕

本発明は、従来構造の自己整合型半導体レーザにおいて問題であつた、段差のある基板上への結晶成長に伴う結晶欠陥と、二回成長の成長界面の欠陥による素子寿命の低下を防止するため電流と光の密度が大きいストライプの内を(GaAl)As

グ液を用いて、ストライプ外部をp型クラッド層を0.1~0.3 μ m残してエッチングした。第3図は、この段階での素子の断面構造を示す。このようにして作製した構造を、再びMOCVD法によりn-GaAs9により埋込んだ。ここで、ストライプの方位を(1 $\bar{1}$ 0)方向とした場合、第4図のように、リッジ側面からの成長が起こりストライプの両がわに鋭い突起が出来るため、ストライプの方位を(110)とするか、若しくはドライエッチを用いるなどの方法により、リッジ側面の基板表面に対する角度14を100度以下にすることが必要である。この場合SiO₂膜の上に結晶成長がおこらないMOCVD法の特徴のためSiO₂膜は露出したままとなり、埋込成長後にフッ酸系のエッチング液により取り除くことが出来る。この構造にp電極としてCr/Au10をn電極としてAuGeNi/Cr/Au11を蒸着し300 μ m角にへきかいしてレーザチップとした。

実施例2

第2の実施例として、p型クラッド層をp-

で埋めるかわりに、ストライプ外部のp型クラッド層の上にストライプ状に設けたSiO₂又はSi₃N₄などの絶縁物マスクを用いてp型クラッド層をエッチングし、絶縁物の上には結晶成長せず、ストライプ外部にのみ結晶成長が行われるMOCVD法により、GaAsで埋め込むことにより導波路を形成する半導体レーザの作製方法に関するものである。

〔発明の実施例〕

以下本発明の実施例を図に従い説明する。

実施例1

第1図に、本実施例による半導体レーザの断面構造を示す。この構造の作製工程は以下のとおりである。

n-GaAs基板1上に常圧MOCVD法によりn-Ga_{0.55}Al_{0.45}Asクラッド層2、アンドープGa_{0.55}Al_{0.45}As活性層3、p-Ga_{0.55}Al_{0.45}Asクラッド層4、p-GaAsキャップ層8を順次結晶成長した後、通常のフォトリソグラフ技術を用いてSiO₂マスク13を設けリン酸系のエッチン

Ga_{0.55}Al_{0.45}As層4一層とするかわりにp-Ga_{0.5}Al_{0.5}As層4とp-Ga_{0.55}Al_{0.45}As層12の二層構造とした第5図のような構造の素子を試作した。ここで、p-Ga_{0.7}Al_{0.3}As層4の厚みを0.1~0.3 μ mとした。この構造では、沃素系のエッチング液を用いる事により、p-Ga_{0.5}Al_{0.5}As層12をp-Ga_{0.5}Al_{0.45}As層4に対して選択的に取り除く事が出来る。以下、実施例1と同様なプロセスにより半導体レーザチップを作製した。

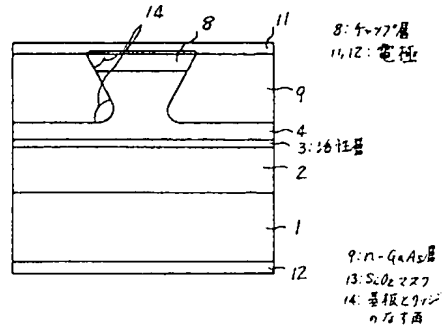
図面の簡単な説明

第1図は実施例1の半導体レーザの断面構造図、第2図は従来の自己整合型半導体レーザの断面構造図、第3図は埋込成長前の実施例1の半導体レーザの断面構造図、第4図は(1 $\bar{1}$ 0)方向のストライプに埋込成長を行つた時の断面構造図、第5図は実施例2の半導体レーザの断面構造図である。

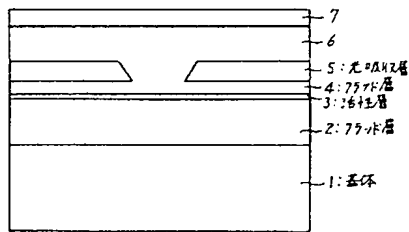
1...n-GaAs基板、2...n-Ga_{0.55}Al_{0.45}Asクラッド層、3...アンドープGa_{0.55}Al_{0.45}As活

性層、4… $p\text{-Ga}_{0.55}\text{Al}_{0.45}\text{As}$ クラッド層、5… $p\text{-GaAs}$ 光吸収層、6… $p\text{-(GaAl)As}$ 層、7… $p\text{-GaAs}$ 、8… $p\text{-GaAs}$ キャップ層、9… $n\text{-GaAs}$ 層、10… Cr/Au 、11… $\text{AuGeNi}/\text{Cr}/\text{Au}$ 、12… $p\text{-Ga}_{0.5}\text{Al}_{0.5}\text{As}$ 層、13… SiO_2 マスク、14…基板とリッジ側面のなす角度

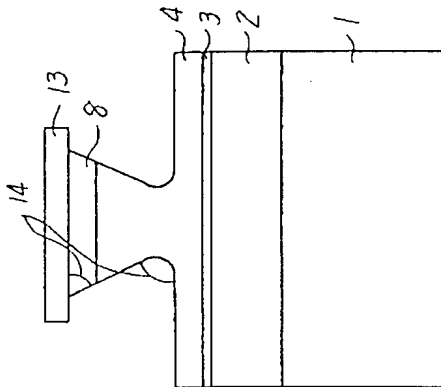
第 1 図



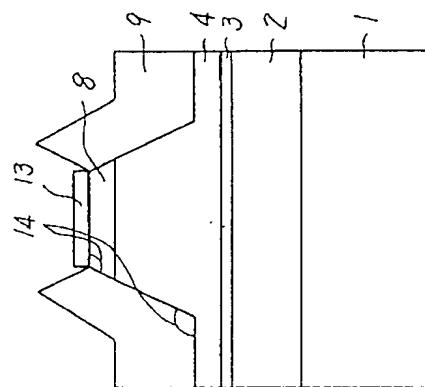
第 2 図



第 3 図



第 4 図



代理人 小川 勝男

第 5 図

